



PATENT ABSTRACTS OF JAPAN

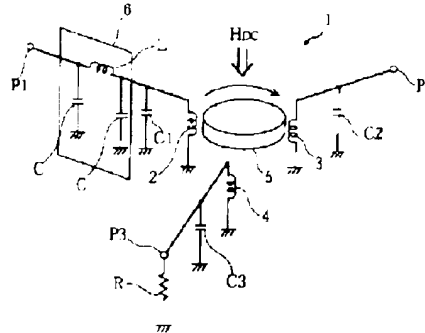
(11)Publication number: **10327003 A**(43)Date of publication of
application: **08. 12 . 98**(51)Int Cl **H01P 1/383**
H01P 1/36
H04B 1/04(21)Application number: **10033005**(71)Applicant: **MURATA MFG CO LTD**(22)Date of filing: **16 . 02 . 98**(72)Inventor: **MAKINO TOSHIHIRO**(30)Priority: **21 . 03 . 97 JP 09 68217****MASUDA AKITO**
KAWANAMI TAKASHI
ASHIDA YOSHIHIKO(54)**IRREVERSIBLE CIRCUIT ELEMENT AND
COMPOSITE ELECTRONIC COMPONENT**

COPYRIGHT: (C)1998,JPO

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an irreversible circuit element which eliminates increase in a loss and a narrow frequency band in the case of setting to a low power supply voltage.

SOLUTION: Relating to an isolator (irreversible circuit element) where plural center electrodes 2-4 are placed in crossing, a ferrite 5 is placed at the crossing part and a DC magnetic field HDC is applied to the ferrite 5, an impedance converter 6 is added to any of ports P1 of the center electrodes 2-4 to set an impedance Zi to be $2 < Z_i < 12.5$ ohms.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-327003

(43)公開日 平成10年(1998)12月8日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 P 1/383

H 0 1 P 1/383

A

1/36

1/36

A

H 0 4 B 1/04

H 0 4 B 1/04

B

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平10-33005

(71)出願人 000006231

株式会社村田製作所

(22)出願日 平成10年(1998)2月16日

京都府長岡京市天神2丁目26番10号

(31)優先権主張番号 特願平9-68217

(72)発明者 牧野 敏弘

京都府長岡京市天神2丁目26番10号 株式

(32)優先日 平9(1997)3月21日

会社村田製作所内

(33)優先権主張国 日本 (J P)

(72)発明者 増田 昭人

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72)発明者 川浪 崇

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(74)代理人 弁理士 下市 努

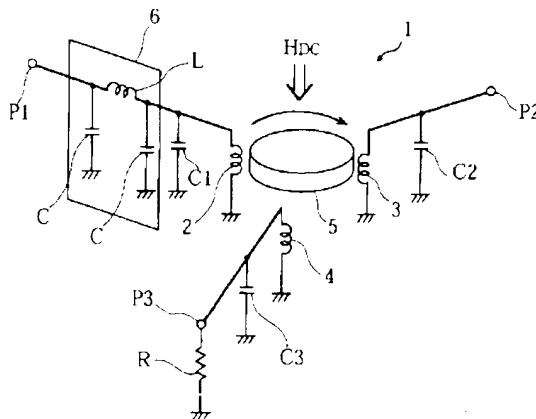
最終頁に続く

(54)【発明の名称】 非可逆回路素子及び複合電子部品

(57)【要約】

【課題】 低電源電圧に設定する場合の損失の増大、及び周波数の狭帯域を回避できる非可逆回路素子を提供する。

【解決手段】 複数の中心電極2〜4を交差させて配置し、該交差部分にフェライトを配置するとともに直流磁界HDCを印加するようにしたアイソレータ1（非可逆回路素子）において、上記中心電極2〜4の何れか1つのポートP1にインピーダンス変換回路6を付加し、入力インピーダンスZ1を $2 < Z1 < 1/2$ 、 50Ω に設定する。



【特許請求の範囲】

【請求項1】 複数の中心電極を交差させて配置し、該交差部分にフェライトを配置するとともに直流磁界を印加するようにした非可逆回路素子において、上記中心電極の何れか1つのポートの入力及び出力インピーダンス Z_{11} を $Z_{11} < Z_{12} < 1 \Omega$ 、 1Ω に設定したことを特徴とする非可逆回路素子。

【請求項2】 複数の中心電極を交差させて配置し、該交差部分にフェライトを配置するとともに直流磁界を印加するようにした非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加し、該ポートの入力インピーダンス Z_{11} を $Z_{11} < Z_{12} < 1 \Omega$ 、 1Ω に設定したことを特徴とする非可逆回路素子。

【請求項3】 請求項2において、上記インピーダンス変換回路が付加されていない残りのポートの1つに終端抵抗を接続してアイソレータとしたことを特徴とする非可逆回路素子。

【請求項4】 請求項2又は3において、上記インピーダンス変換回路が、 π 型回路網により構成されていることを特徴とする非可逆回路素子。

【請求項5】 請求項4において、上記 π 型回路網のカットオフ周波数 f_c が、 $f_c > 100 \text{ MHz}$ となるように設定されていることを特徴とする非可逆回路素子。

【請求項6】 請求項2又は3において、上記インピーダンス変換回路が、 π 型回路網により構成されていることを特徴とする非可逆回路素子。

【請求項7】 請求項2又は3において、上記インピーダンス変換回路が、 $(2L) \cdot (1/C) \cdot \sin \theta$ (L は自然数、 $\sin \theta$ は線路伝長 θ の分布定数トランスにより構成されていることを特徴とする非可逆回路素子。

【請求項8】 磁気回路を構成するヨーク内に、複数の中心電極を交差させて配置するとともに該交差部分にフェライトを配置してなる磁性組立体と、上記各中心電極のポートに接続された整合用コンデンサとを収納した非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加するとともに上記ヨーク内に内蔵し、該ポートの入力インピーダンス Z_{11} を $Z_{11} < Z_{12} < 1 \Omega$ 、 1Ω に設定したことを特徴とする非可逆回路素子。

【請求項9】 請求項8において、上記インピーダンス変換回路が、ヨーク内に配設された非可逆回路構成部品に形成されていることを特徴とする非可逆回路素子。

【請求項10】 請求項1ないし9の何れかの非可逆回路素子を送信電力増幅器の出力部に接続して1つのケース内に収納し、表面実装用端子を有し、スワッチボルト以下の電源電圧で動作することを特徴とする複合電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯で利用される非可逆回路素子、例えば集中定数型のアイソレータ、サーキュレータに関する。

【0002】

【従来の技術】最近、携帯電話機等の移動通信機器の分野では、1.5GHzのSDRやCDMAといった帯域利用効率の高いデジタル変調方式を採用した通信機器が採用されつつある。このデジタル通信機器においては、図1に示すように、送信電力増幅部に線形増幅器20が採用されている。これは入力整合回路11、1段目増幅素子21、段間整合回路22、2段目増幅素子24、出力整合回路25を接続配置した構造となっている。

【0003】このような線形増幅器20を採用するにあたっては、電力増幅部での電力消費量が電池動作による携帯電話機の通信可能時間に大きな影響を及ぼすことから、高効率化を図る上で技術改良が著しく進んでいる。

【0004】ところで、上記高効率線形増幅器は、負荷インピーダンスの変化の影響を受け易い特性を持っている。即ち、増幅の高効率化は負荷インピーダンスが望ましい値で一定の場合にのみ発揮される。例えば、アンテナから入力インピーダンスの変化が大きい負荷を上記線形増幅器に直接接続すると、増幅器の効率が低下したり、入出力線形性が劣化したりするといった問題が生じる。その結果、送信電力増幅部での電力消費量が増加して電池の放電が進み通信可能時間が短くなったり、また送信波に歪みが生じ、隣接チャネルに隣接周波数に妨害波を発生してしまう場合がある。さらに変調歪みのために受信側で復調不能となって送信そのものができなくなるおそれがある。

【0005】このような問題を解消するため、上記線形増幅器とアンテナとの間に集中定数型のアイソレータ27を挿入する場合がある。このアイソレータは、図4に示すように、3つの中心電極30、31、32を互いに所定間隔ごとに交差させて配置し、該交差部分にフェライト33を配置するとともに、直流磁界印加を印加するように構成されており、上記中心電極32のポートP3に終端抵抗Rが接続されている。

【0006】上記アイソレータ27は負荷インピーダンスの変化にかかわらず入力インピーダンスが安定であることを、アンテナからの反射を吸収して整合状態を改善する機能を有している。これにより上記線形増幅器の効率的低下、あるいは入出力線形性の劣化を防止している。また上記線形増幅器20の入力及び出力特性インピーダンスは 50Ω で設計するのが一般的であり、アイソレータ27においても入力インピーダンスは一般に 50Ω に設定されており、これは高周波部品における標準値となっている。

【0007】一方、上記携帯電話機の小型化、軽量化に

伴って電池構成の簡略化も進んでおり、最近では3.0～6V程度の電圧に設定される場合がある。このため線形増幅器の電源電圧も3.0～6V程度に設定されている。また上記線形増幅器の飽和電力・入力を増加してもこれ以上出力の増えない電力をいっけは、電源電圧と増幅率(トランジスタ、電界効果トランジスタ、その中でも最近では特にCMOSトランジスタ)の出力インピーダンスで決定され、例えば定格出力電力が1W程度の線形電力増幅器では飽和電力は余裕を持たせるために2W前後に設定するのが一般的である。

【0008】

【発明が解決しようとする課題】とところが、上記低電源電圧とした場合、図4に示すように、出力増幅素子24の出力インピーダンス Z_{out} は2～6Ω程度となり、通常の周波数に設定される線形増幅器の出力インピーダンスに比べてかなり低くなる。このような低いインピーダンスをうまくに変換するには、インピーダンス変換比の大きい出力整合回路を採用する必要があり、このため変換回路における損失が増加するとともに良好な整合がなされる周波数範囲が狭くなる。その結果、電力増幅器の効率、動作周波数帯域を劣化させる要因になるという問題がある。

【0009】本発明は、上記実情に鑑みてなされたもので、低電源電圧に設定する場合の損失の増大、及び周波数の狭帯域を回避でき、小型化、低価格化に貢献できる非可逆回路素子及び複合電子部品を提供することを目的としている。

【0010】

【課題を解決するための手段】請求項1の発明は、複数の中心電極を交差させて配置し、該交差部分にフェライトを配置するとともに直流磁界を印加するようにした非可逆回路素子において、上記中心電極の何れか1つのポートの入力及び出力インピーダンス Z_{in} と Z_{out} を $Z_{in} \geq 1.2 \times Z_{out}$ のうちに設定したことを特徴としている。

【0011】請求項2の発明は、請求項1と同様の非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加し、該ポートの入力インピーダンス Z_{in} を $Z_{in} \geq 1.2 \times Z_{out}$ のうちに設定したことを特徴としている。

【0012】請求項3の発明は、請求項2において、上記インピーダンス変換回路が付加されていない残りのポートの1つに終端抵抗を接続してアイソレータとしたことを特徴としている。

【0013】請求項4の発明は、請求項2又は3において、上記インピーダンス変換回路が、 $(n-1)/n$ のπ型回路網により構成されていることを特徴としている。

【0014】請求項5の発明は、請求項4において、上記π型回路網のカットオフ周波数 f_c が、 $0.7 \times f < f_c < 2 \times f$ となるように設定されていることを特徴としている。

【0015】請求項6の発明は、請求項2又は3において、上記インピーダンス変換回路が、 $(n-1)/n$ のπ型回路網により構成されていることを特徴としている。

【0016】請求項7の発明は、請求項2又は3において、上記インピーダンス変換回路が、 $(2n-1)/n$ のπ型回路網により構成されていることを特徴としている。

【0017】請求項8の発明は、磁気回路を構成するヨーク内に、複数の中心電極を交差させて配置するとともに該交差部分にフェライトを配置してなる磁性組立体と、上記各中心電極のポートに接続された整合用コイル素子とを収納した非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加するとともに上記ヨーク内に内蔵し、該ポートの入力インピーダンス Z_{in} を $Z_{in} \geq 1.2 \times Z_{out}$ のうちに設定したことを特徴としている。

【0018】請求項9の発明は、請求項8において、上記インピーダンス変換回路が、ヨーク内に配設された非可逆回路構成部品に形成されていることを特徴としている。

【0019】請求項10の発明は、請求項1ないし10の何れか1つの非可逆回路素子を送信電力増幅器の出力部に接続して1つのケース内に収納し、表面実装用端子を有し、かつ6ボルト以下の電源電圧で動作することを特徴とする複合電子部品。

【0020】ここで、上記入力インピーダンス Z_{in} とは、アイソレータの入力ポートのように、当該ポートが電力を受けることをその機能として通常期待されるポートの特性インピーダンスの意味であり、出力インピーダンス Z_{out} とは、増幅器の出力ポートのように当該ポートが電力を送り出すことをその機能として通常期待されるポートの特性インピーダンスの意味であり、さらに入力及び出力インピーダンス Z_{in} とは、サーキュレータの入出力ポートのように当該ポートが電力を受けること及び送り出すことを共にその機能として通常期待されるポートの特性インピーダンスの意味である。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基いて説明する。図1及び図2は、請求項1、2、3、4、5の発明の実施形態によるアイソレータを説明するための図であり、図1はアイソレータの等価回路図、図2は本アイソレータが採用された携帯電話用送信電力増幅器の構成図である。

【0022】本実施形態の集中定数型アイソレータ1は、3つの中心電極2、3、4を互いに電機的絶縁状態にかつ所定角度をなすように交差させて配置し、該交差部分にフェライト5を配置するとともに、永久磁石(不図示)により直流磁界HDCを印加して構成されている。

【0023】上記各中心電極2～4と各ポート1～P3との間には整合用容量C1～C3が並列接続されてお

り、このうち1つのポートP3には終端抵抗器Rが接続されている。これによりポートP1からの送信信号をポートP2に伝送し、該ポートP2から侵入する反射波を終端抵抗器Rで吸収する。

【0024】そして上記ポートP1にはインピーダンス変換回路6が付加されている。このインピーダンス変換回路6により上記ポートP1のインピーダンスのみポートP2、つまり設定されている。ポートP2のインピーダンスはあらかじめ設定されている。上記インピーダンス変換回路6はアイソレータ1内に一体に内蔵されている。

【0025】上記インピーダンス変換回路6は、インダクタンスLとキャパシタンスCとのLC、L型回路網からなるもので、このLC型回路網のカットオフ周波数 f_c は、0.7 f_0 より、 f_0 より小さい範囲となるように設定されている。

【0026】また上記アイソレータ1は、送信電力増幅器5とアンテナ11との間に挿入されている。この電力増幅器5は、入力整合回路12、1段目増幅素子13、段間整合回路14、2段目増幅素子15、及び出力整合回路16を備えており、該出力整合回路16の出力部に上記アイソレータ1が接続されている。

【0027】次に本実施形態の作用効果について説明する。本実施形態のアイソレータ1によれば、送信信号が入力されるポートP1にインピーダンス変換回路6を付加し、インピーダンスを2 π 12、つまり設定したので、出力増幅素子15からの低いインピーダンスを安定したインピーダンスに変換することが可能となる。

【0028】これにより、上述のインピーダンス変換回路6の大きい整合回路を設ける必要はなくなり、リアクテンス成分だけを除去する出力整合回路16を採用することができ、その結果、3.5V程度の低電源電圧に設定する場合の挿入損失を小さくできるとともに、屈波数帯域を広くでき、品質に対する信頼性を向上できる。ひいては携帯電話機の小型化、軽量化に貢献できる。

【0029】本実施形態では、インピーダンス変換回路6のカットオフ周波数 f_c を、0.7 f_0 より、 f_0 より小さい範囲としたので、これにより低域通過フィルタとして機能することとなり、送信電力増幅器5で発生する不要な高周波を抑制除去でき、この点からも信頼性、高性能化に貢献できる。

【0030】なお、上記実施形態では、集中定数型アイソレータ1を例にとって説明したが、本発明は、図3に示すように、3ポート型のサーキュレータ40にも勿論適用でき、この場合にも何れか1つのポートP1にインピーダンス変換回路6を付加することにより上記実施形態と同様の効果が得られる。

【0031】図1は、請求項1の発明の一実施形態によるサーキュレータを説明するための等価回路図であり、図中、図1と同一符号は同一又は相当部分を示す。

【0032】本実施形態の集中定数型サーキュレータ4

1は、3つの中心電極2、3、4の交差部分にフェライトFを配置するとともに直流磁界H₀を印加して構成されている。そして上記サーキュレータ41の1つのポートP1にはインピーダンス変換回路42が付加されており、該インピーダンス変換回路42は、LC型の回路網からなるものである。

【0033】本実施形態においても、低いインピーダンスを安定したインピーダンスに変換することが可能となり、上記実施形態と同様の効果が得られる。

【0034】図2は、請求項1の発明の一実施形態によるサーキュレータを説明するための等価回路図であり、図中、図1と同一符号は同一又は相当部分を示す。

【0035】本実施形態のサーキュレータ41は1つのポートP1にインピーダンス変換回路43を付加し、該変換回路43を、2 π 13、つまり4の奇定数リアクタンスにより構成した場合である。本実施形態においても、上記実施形態と同様の効果が得られる。

【0036】図4及び図5は、請求項1の発明の一実施形態による複合電子部品を説明するための図であり、図中、図1及び図2と同一符号は同一又は相当部分を示す。

【0037】本実施形態のアイソレータ1は、ポートP1にインピーダンス変換回路6を付加してなり、基本的構造は上記実施形態と同様である。そして本アイソレータ1は6ボルト以下の電源電圧で動作する送信電力増幅器50内に一体に内蔵されている。

【0038】上記送信電力増幅器50は、回路基板51に上述の入力整合回路12、1段目増幅素子13、段間整合回路14、2段目増幅素子15、及び出力整合回路16を実装し、各素子12〜16をマイクロストリップライン51により接続してなり、該出力整合回路16の出力部に上記アイソレータ1が接続されている。

【0039】また上記回路基板51にはシールドケース52が装着されており、該ケース52と回路基板51との間から表面実装用の入出力、及びアース端子53が突出している。

【0040】本実施形態では、送信電力増幅器50内にアイソレータ1を内蔵して一体化したので、1つの複合電子部品として構成できるとともに、回路構成を単純化できるとともに、小型化でき、携帯電話機の小型化に貢献できる。

【0041】ここで、近年の携帯電話機等の小型化、軽量化に伴って回路基板の薄板化が進んでおり、これに対してマイクロストリップラインのライン幅も極端に狭くなる。例えば、回路基板の板厚を0.1mmとした場合の特性インピーダンス50Ωのライン幅は0.17mmとなり、また板厚を0.2mmとした場合の特性インピーダンス50Ωのライン幅は0.15mmとなる。

【0042】このようにライン幅が狭くなると、マイクロストリップラインの幅精度が得られず整合不良を起こ

す場合があり、また半田付け用実装パッドを上記ライブラに対して幅広にする必要があることから、該実装パッドでの整合不良を起すという問題が生ずる。さらにライブラ幅が狭くなるとそれだけ伝送損失も大きくなる。

【0013】これに対して本実施形態のように特性インピーダンスを1、2、3に設定した場合には、回路基板51の特性値に依らずマイクロストリップライン51のライブラ幅を広くすることが可能となり、上記整合不良の問題、及び伝送損失の問題を解消できる。また半田付け用実装パッド51を幅広にしても整合不良を起すのを回避できるので、表面実装を行う際のアイソレータ1の位置ずれによる接続不良等の実装性の悪化を防止でき、接続強度を向上できる。

【0014】これにより通信機器等の生産性、及び堅牢性を向上でき、さらには安価で信頼性の高い通信機を提供できる。なお、上記マイクロストリップラインに限られるものではなく、ストリップライン線路、コプレーナ線路、クランゲッド・コプレーナ線路等の伝送線路の場合にも同様である。

【0015】また特性インピーダンス50Ω以外の信号で変換を行う場合、上記電力増幅器51内にアイソレータ1を内蔵したので、例えばユーザが直接50Ω以下の箇所を扱う必要がなく、設計変更等の手間を必要としない。

【0016】図10ないし図14は、請求項8、9の発明の一実施形態による非可逆回路素子を説明するための図である。本実施形態では、上述のインピーダンス変換回路を内蔵したアイソレータ1の具体的構造を説明する。図中、図1と同一符号は同一又は相当部分を示す。

【0017】図において、1は移動通信機器の送信電力増幅部に接続される集中定数型アイソレータであり、これは磁性体全周からなる箱状の上ヨーク60の内面に矩形状の永久磁石61を貼着するとともに、該上ヨーク61と同じく磁性体全周からなる下ヨーク62を装着して磁気閉回路を形成し、該下ヨーク62の底面62b上に樹脂ケース63を配置するとともに、該樹脂ケース63に磁性組立体64を配置し、該磁性組立体64に上記永久磁石61により直流磁界を印加するように構成されている。

【0018】上記磁性組立体64は、円板状のフェライト65の上面に3本の中心電極66、67、68を絶縁シート（不図示）を介在させて120度角度ごとに交差するように折り曲げて配置し、各中心電極2、4の一端側の入出力ポートP1、P2、P3を外方に突出するとともに、他端側のアース部7をフェライト65の底面に直接した構造のものである。

【0019】上記樹脂ケース63は電氣的絶縁部材であり、矩形状の側壁63aに底壁63bを一体形成した構造のもので、この底壁63bには挿通孔63cが形成されており、該底壁63bの挿通孔63cの周縁部は

はそれぞれ各単板型整合用コンデンサC1～C3を位置決め取納する凹部63d、及び単板型終端抵抗R1を位置決め取納する凹部63eが形成されている。上記挿通孔63cには磁性組立体64が挿入されており、該磁性組立体64のアース部7は下ヨーク62の底面62aに接続されている。

【0020】上記樹脂ケース63の左、右側壁63a外面の一端側には入出力端子66、67が配設されており、該各入出力端子66、67の延長端は底壁63b上面63a、右コーナー部に露出している。左、右側壁63a外面の他端側にはアース端子68、68が配設されており、該各アース端子68の延長端は上記凹部63d、63eの上面に露出して各コンデンサC1～C3、終端抵抗R1の下面電極に接続されている。また上記底壁63b上面63aの出力端子66、67の中間部には全周導体片69が配設されており、該全周導体片69の延長端は底壁63bに露出して下ヨーク62の底面62aに接続されている。上記入出力端子66、67、アース端子68、を導体片69は樹脂ケース63内に一部をインサートモールドして形成されたものである。

【0021】上記各整合用コンデンサC1～C3の上面電極には各中心電極2～4のポートP1～P3が接続されており、このうちポートP2の先端は上記入出力端子66に、ポートP3の先端は終端抵抗R1に接続されている。

【0022】上記磁性組立体64と永久磁石61の間には矩形板状のスパーサ部材70が配設されている。このスパーサ部材70は、ガラスエポキシ系、ガラスチック系、テフロン系等のフリント基板、セラミック基板、あるいは弾性を有する液晶ポリマー等の樹脂からなるものであり、中央部には孔71が形成されている。この孔71は整合用コンデンサC1～C3と中心電極2～4を効果的に押圧するためのもので、芯がしも形成する必要はない。

【0023】上記スパーサ部材70は、下ヨーク62に上ヨーク60を嵌装すると同時に永久磁石61を介して磁性組立体64、樹脂ケース63を下ヨーク62に、各中心電極2～4のポートP1～P3を整合用コンデンサC1～C3、終端抵抗R1に、また該各整合用コンデンサC1～C3、終端抵抗R1を樹脂ケース63にそれぞれ電氣的、機械的に押圧固定している。これにより各構成部品同士を半田付けする際の専用治具を必要とせず作業工数の削減が可能となり、またユーザがフューにより表面実装する際のオープン不良を防止している。

【0024】そして上記スパーサ部材70には、図3（a）、図3（b）に示すように、（C）～（D）の型回路網からなるインピーダンス変換回路が形成されている。このインピーダンス変換回路は、スパーサ部材70にインダクタンス電極71及び第1、第2コンデンサ電極72、73を圧着、印刷等によりパターン形成して

構成されている。なお、上記電極71〜73はスパーサ部材内に金属片をイサートモールドして形成してもよい。ここで、図5(4)はスパーサ部材70の上面に形成された電極を示す平面図であり、図5(5)はスパーサ部材70の下面に形成された電極を透視で示した平面図である。

【0045】上記インダクタンス電極71の一端部71aはフルホール電極74に、他端部71bは上記第1のコシデンサ電極72の一端部72aに接続されている。この第1コシデンサ電極72の他端部72bはフルホール電極75に接続されている。

【0046】上記スパーサ部材70の上面には第2部材70aを挟んで上記第1コシデンサ電極72に対向する第2コシデンサ電極73が形成されており、該第2コシデンサ電極73に続いて上記他端部71bを一端部71cと、対接部2に對向する第1接続電極77が接続形成されている。

【0047】また上記スパーサ部材70の上面の第1コシデンサ電極72の他端部72bに對向する部分には第2接続電極77が形成されており、両電極77と77aは上記フルホール電極75に上り接続されている。さらに上記スパーサ部材70の上面のインダクタンス電極71の一端部71aに對向する部分には第3接続電極78が形成されており、両電極71a、78は上記フルホール電極74により接続されている。

【0048】上記第1接続電極77には金属導体片79aを介して下ポート77bに接続され、第2接続電極77aは一方側の入出力端子77cに接続されており、第3接続電極78は中心電極7のポート11、及び整合用コシデンサ701の上面電極に接続されている。

【0049】このようにして本実施形態のアイソレータ1は、図13、図14の等価回路図に示すように、インダクタンス電極71で形成されるインダクタンス、1は第1コシデンサ電極72を介して中心電極7のポート11と入出力端子77cとの間に直列接続され、第1、第2コシデンサ電極72、73で形成されるコシデンサ701は入出力端子77cと金属導体片79a、79bとの間に並列接続されている。

【0050】そして、上記ポート11の整合用コシデンサ701は、アイソレータ本来の整合用回路として機能するコシデンサ701と、コシデンサ701との並列容量とで表され、このコシデンサ701とインダクタンス701とコシデンサ701とで構成されるインピーダンス変換回路が構成されている。

【0051】本実施形態によれば、ポート11にインピーダンス変換回路6を付加し、該インピーダンスをポート11に設定したので、上述と同様に低いインピーダンスを安定したインピーダンスに変換することが可能となり、低電源電圧に設定する場合の挿入損失を小さくできるとともに、周波数帯域を広げでき、上記実施形態

と同様の効果が得られる。

【0052】上記アイソレータ1の構成部品であるスパーサ部材70にインピーダンス変換回路6を形成したので、該インピーダンス変換回路6をアイソレータ1に内蔵でき、変換回路を別途設ける場合の部品コストの上昇、及び大型化を回避でき、あるいは移動通信機器の小型化、低価格化に貢献できる。また上記スパーサ部材70を有効利用して形成したので、アイソレータの形成方法が大きくなることはなく、この点からも小型化、軽量化に貢献できる。

【0053】なお、上記実施形態では、インピーダンス変換回路をスパーサ部材に形成した場合を例にとったが、本発明はこれに限られるものではない。ポート内に配設された非可逆回路を構成する他の基板、あるいは部品等2に形成すればよい。

【0054】

【発明の効果】以上のように請求項1の発明に係る非可逆回路素子によれば、中心電極の何れか1つのポートの入力及び出力インピーダンスを $2n-1$ （ $n=1, 2, \dots$ ）に設定したので、低いインピーダンスを安定したインピーダンスに変換することが可能となり、インピーダンス変換比の大きい整合回路を設ける必要はなくなることから、低電源電圧に設定する場合の挿入損失を小さくできるとともに、周波数帯域を広げ、品質に対する信頼性を向上できる効果がある。

【0055】請求項2の発明では、中心電極の何れか1つのポートにインピーダンス変換回路を付加し、入のインピーダンスを $2n-1$ （ $n=1, 2, \dots$ ）に設定したので、上記同様に安定したインピーダンスに変換することができ、請求項1と同様の効果が得られる。

【0056】請求項3の発明では、インピーダンス変換回路が付加されていない残りの1つのポートに終端抵抗を接続したので、アイソレータとして機能することとなり、携帯電話機の送信電力増幅器での整合状態の改善効果がある。

【0057】請求項4の発明では、上記インピーダンス変換回路をポート11のπ型回路網により構成したので、上記請求項1と同様の効果が得られる。

【0058】請求項5の発明では、上記ポート11のπ型回路網のカットオフ周波数 f_c を $0.7f_0 \sim 1.0f_0$ （ f_0 は $0.5 \sim 1.0$ の範囲とした）ので、低域通過フィルタとして機能することとなり、送信電力増幅器で発生する不要な高調波を抑制除去でき、信頼性、高性能化に貢献できる効果がある。

【0059】請求項6の発明では、上記インピーダンス変換回路をポート11のπ型回路網により構成したので、上記請求項1と同様の効果が得られる。

【0060】請求項7の発明では、上記インピーダンス変換回路を $(2n-1) \times \sqrt{2} - 1$ （ n は自然数、 $\sqrt{2}$ は線路内長）の分布定数トランスに構成したので、上

記請求項1と同様の効果が得られる。

【0071】請求項8の発明では、インピーダンス変換回路をヨーク内に内蔵したので、別回路を用いる場合のコスト上昇及び大型化を回避でき、小型化、低価格化に貢献できる効果がある。

【0072】請求項9の発明では、インピーダンス変換回路をヨーク内に配設された非可逆回路構成部品に形成したので、該部品を有効利用して形成でき、小型化、軽量化に貢献できる効果がある。

【0073】請求項10の発明では、6ボルト以下の電源電圧で動作する送信電力増幅器内に非可逆回路素子を一体に内蔵したりして、回路構成を簡単にできるとともに、小型化に貢献できる効果があり、またライン幅を広く設定でき、整合不良の発生を防止できる効果がある。

【図面の簡単な説明】

【図1】請求項1～5の発明の一実施形態による集中定数型アイソレータの等価回路図である。

【図2】上記アイソレータが採用された送信電力増幅器の構成図である。

【図3】サーキュレータに適用した場合の等価回路図である。

【図4】請求項6の発明の一実施形態による集中定数型サーキュレータの等価回路図である。

【図5】請求項7の発明の一実施形態による集中定数型サーキュレータの等価回路図である。

【図6】請求項10の発明の一実施形態によるアイソレータを内蔵した送信電力増幅器（複合電子部品）の構成図である。

【図7】上記送信電力増幅器の分解斜視図である。

【図8】一般的なアイソレータの等価回路図である。

【図9】一般的な送信電力増幅器の構成図である。

【図10】請求項8、9の発明による集中定数型アイソレータの分解斜視図である。

【図11】上記アイソレータの樹脂ケースの平面図である。

【図12】上記アイソレータのフバーサ部材の平面図である。

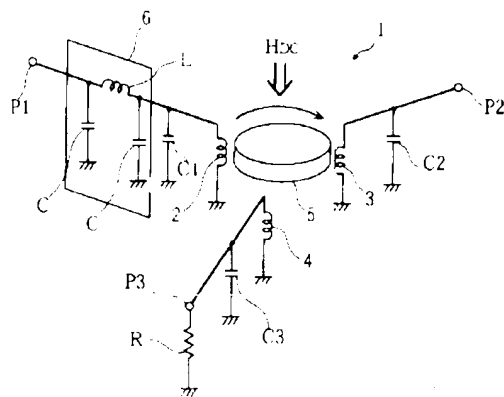
【図13】上記アイソレータの等価回路図である。

【図14】上記アイソレータの低域通過フィルタ部分の回路図である。

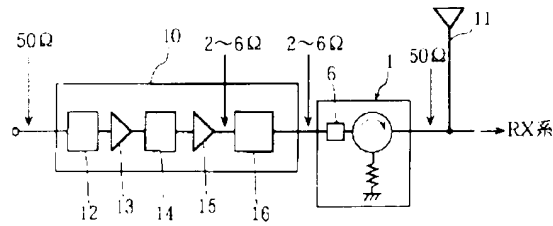
【符号の説明】

| | |
|---------|-----------------------|
| 1 | アイソレータ（非可逆回路素子） |
| 2～4 | 中心電極 |
| 5 | フ・ライト |
| 6、42、43 | インピーダンス変換回路 |
| 40、41 | サーキュレータ（非可逆回路素子） |
| 50 | 送信電力増幅器 |
| 60、62 | 上、下ヨーク |
| 61 | 永久磁石 |
| 64 | 磁性組立体 |
| 70 | フバーサ部材（非可逆回路構成部品） |
| 71 | インダクタンス電極（インダクタンスL f） |
| 72、73 | コンデンサ電極（コンデンサC f 1） |
| P1～P3 | ポート |
| C1～C3 | 整合用コンデンサ |

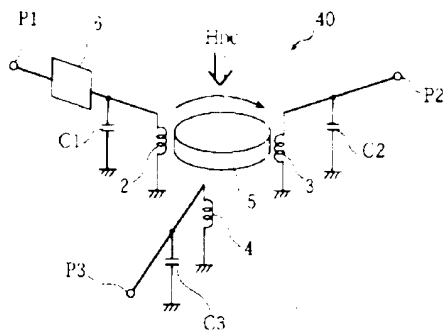
【図1】



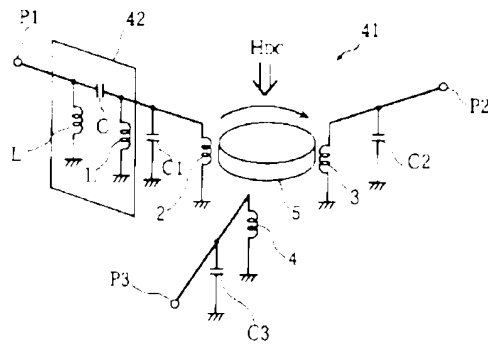
【図2】



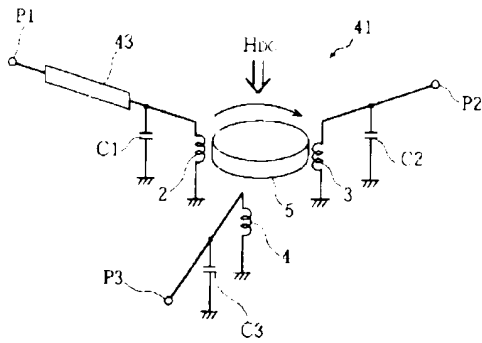
【図3】



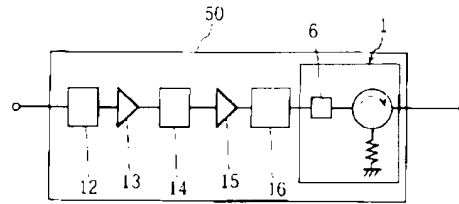
【図4】



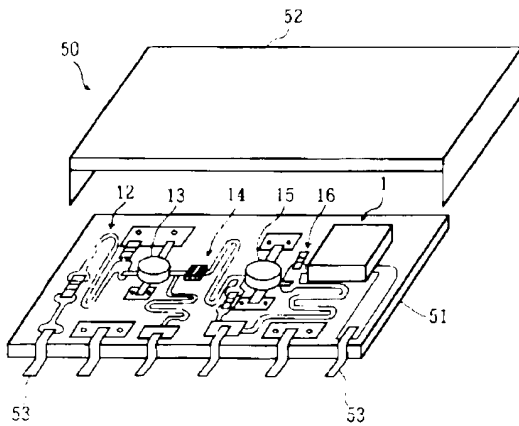
【図5】



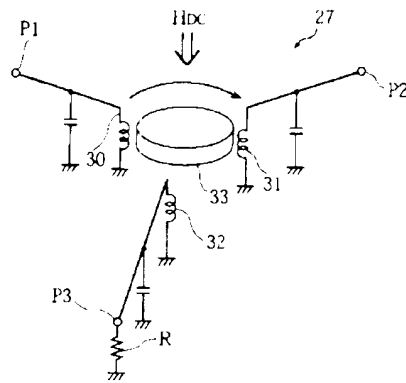
【図6】



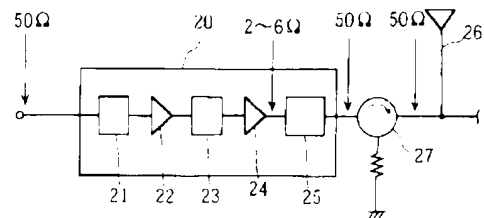
【図7】



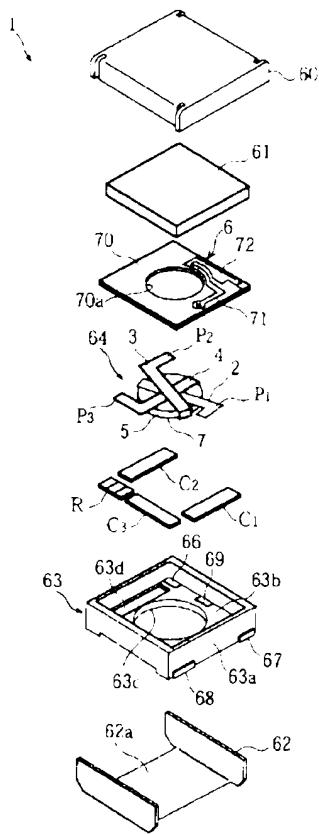
【図8】



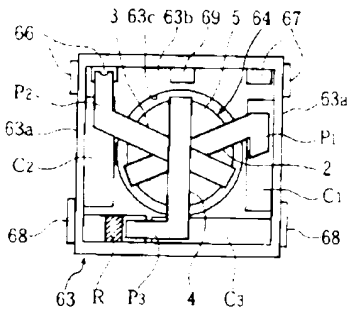
【図9】



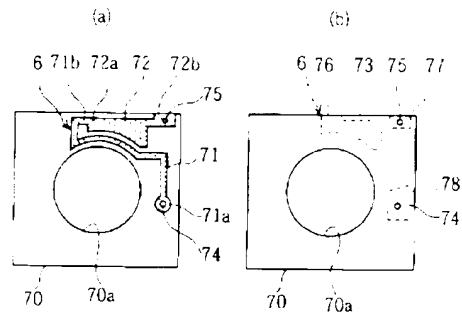
【図10】



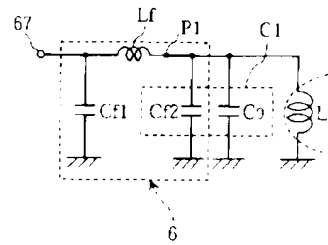
【図11】



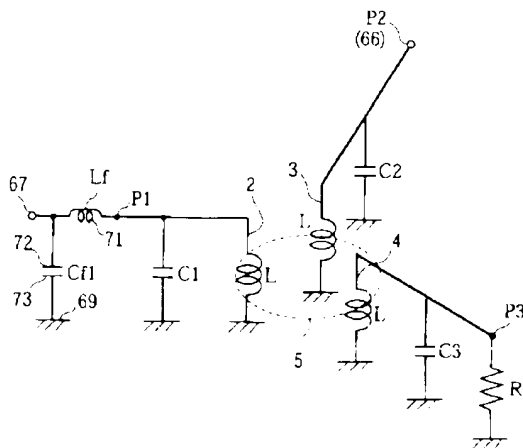
【図12】



【図14】



【図13】



フロントページの続き

72発明者 村田 良彦

京都府長岡京市天神2丁目26番1号 株式
会社村田製作所内